

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-105575
(43) Date of publication of application : 11.04.2000

(51)Int.Cl. G09G 3/36
G02F 1/133

(21) Application number : 10-270793

(71)Applicant : **INTERNATL BUSINESS MACH CORP**
<IBM>

(22) Date of filing : 25.09.1998

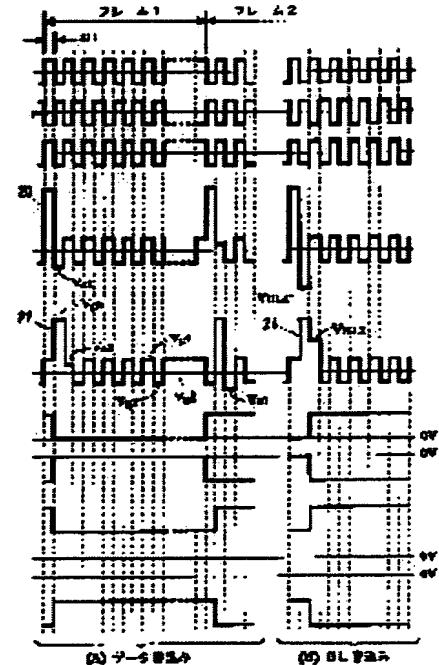
(72)Inventor : SAKAI HIDEAKI

(54) DRIVING METHOD OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an afterimage phenomenon by writing blanking in, in a Cs on-gate type active matrix type liquid crystal display device.

SOLUTION: This liquid crystal display device is a Cs on-gate type active matrix type liquid crystal display device forming assistant capacity Cs out of respective picture element electrodes and adjoining gate wires. At a fixed time before completing one frame period, the gate wires are driven in order of the lines, and by controlling the potential of the picture element electrodes through the assistant capacity Cs, blanking(BL) is written in, and blanking of the display is forcedly executed.



LEGAL STATUS

[Date of request for examination] 27.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3333138

[Date of registration] 26.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-105575

(P2000-105575A)

(43)公開日 平成12年4月11日 (2000.4.11)

(51)Int.Cl.⁷

G 0 9 G 3/36
G 0 2 F 1/133

識別記号

5 5 0

F I

G 0 9 G 3/36
G 0 2 F 1/133

マーク⁷ (参考)

2 H 0 9 3
5 C 0 0 6

審査請求 有 請求項の数 5 OL (全 7 頁)

(21)出願番号 特願平10-270793

(22)出願日 平成10年9月25日 (1998.9.25)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74)代理人 100086243

弁理士 坂口 博 (外1名)

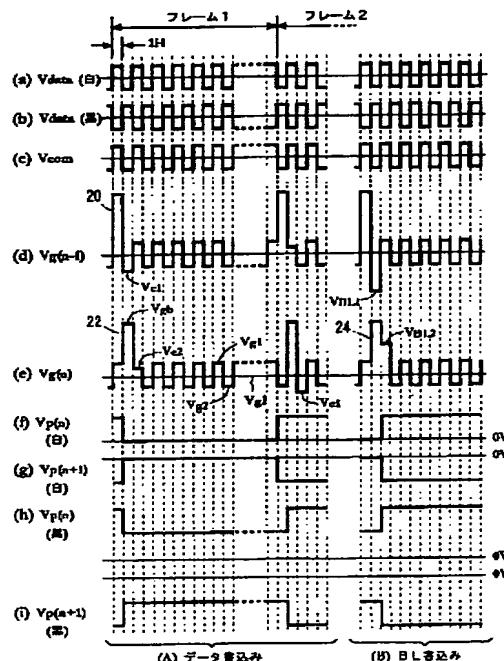
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動方法

(57)【要約】

【課題】 Cs on Gate型のアクティブ・マトリックス型液晶表示装置において、ブランкиング書き込みをすることにより残像の問題を解決する方法を提供する。

【解決手段】 液晶表示装置は、各画素電極と隣接ゲート線によって補助容量Csを形成するCs on Gate型のアクティブ・マトリックス型液晶表示装置である。1フレーム周期が終了する前の所定時間に、ゲート線をライン順次に駆動し、補助容量Csを介して画素電極の電位を制御することにより、ブランкиング(BL)書き込みを行い、強制的に表示をブランкиングする。



【特許請求の範囲】

【請求項1】 複数の走査線と、この走査線の延設方向に対して交差する方向に延設された複数のデータ線と、上記データ線と上記走査線によりマトリクス状に形成された画素とを具備する画像表示装置において、上記データ線は第1及び第2のデータ信号を供給する夫々第1及び第2のデータ線からなり、上記画素は、上記画素を所定のサイクルで選択する走査信号が上記走査線を介して供給される第1及び第2の能動素子と、上記第1及び第2の能動素子を介して夫々上記第1及び第2データ線から供給される夫々上記第1及び第2のデータ信号を保持する夫々第1及び第2の容量素子と、上記第1の容量素子によって保持された上記第1のデータ信号が供給される第3の能動素子と、上記第3の能動素子を介して上記第1のデータ信号に応じた電流が供給され第1の点灯状態となる発光素子と、1走査サイクルに、上記発光素子の点灯状態を変更する変更手段とを有し、上記変更手段は、上記第2のデータ信号に基づいて中間データを生成し、上記中間データを上記第3の能動素子に供給し、上記発光素子の上記第1の点灯状態を、上記中間データに応じた電流による第2の点灯状態に変更することを特徴とする画像表示装置。

【請求項2】 上記1走査サイクルの間に同一の走査線に接続された各画素の上記発光素子を少なくとも走査線単位で強制的に消灯する制御手段を有し、該制御手段は、上記発光素子を上記点灯状態から消灯状態にすることを特徴とする請求項1記載の画像表示装置。

【請求項3】 上記変更手段は、上記第1の容量素子により保持される上記第1のデータ信号と上記第2の容量素子により保持される上記第2のデータ信号とを結合して上記中間データを生成する合成手段を有することを特徴とする請求項1記載の画像表示装置。

【請求項4】 上記合成手段は、上記第1の容量素子と上記第2の容量素子とを結合する第4の能動素子であり、

上記変更手段は、上記第4の能動素子に制御信号を供給する結合制御線を有することを特徴とする請求項3記載の画像表示装置。

【請求項5】 上記第1のデータ線及び上記第2のデータ線に夫々上記第1のデータ信号及び上記第2のデータ信号を供給するデータ線駆動回路を有し、

上記データ線駆動回路は、上記第1のデータ信号から上記第2のデータ信号を生成する信号処理回路を有し、上記信号処理回路は、上記第1のデータ信号から所定のデータを切り出すデータ切り出し手段と、

上記データ切り出し手段が切り出した切出データに基づいてクラスコードを発生するクラス分類手段と、

上記第1のデータ信号から上記第2のデータ信号へ変換

するための推定式の予測係数が上記クラスコード毎に記憶され、上記クラスコードに対応する予測係数を出力する予測係数記憶手段と、

上記予測係数記憶手段から出力された上記予測係数と上記切出データとに基づいて推定演算して上記中間データを出力する推定演算手段と、

上記第1のデータ信号及び上記中間データから上記第2のデータ信号を生成するデータ変換部とを有することを特徴とする請求項1記載の画像表示装置。

10 【請求項6】 上記予測係数記憶手段に記憶される予測係数を予め学習する学習手段を有し、

上記学習手段は、上記第1のデータ信号のフレーム周波数が変換された周波数変換データ信号を上記第2のデータ信号として生成するフレーム周波数変換手段と、

上記周波数変換データ信号から所定のデータを切り出すデータ切り出し手段と、上記データ切り出し手段が切り出した切出データに基づいてクラスコードを発生するクラス分類手段と、

上記第1のデータ信号と上記周波数変換データ信号から

20 切り出された上記切出データとが入力されこの各データに基づき予測係数を算出する予測係数演算部と、

上記予測係数演算部にて演算された上記予測係数を、上記クラスコードと共に記憶する予測係数記憶手段とを有することを特徴とする請求項5記載の画像表示装置。

【請求項7】 複数の走査線と、この走査線の延設方向に対して交差する方向に延設された複数のデータ線と、上記データ線と上記走査線によりマトリクス状に形成された画素とを具備する画像表示装置において、上記データ線は第1及び第2のデータ信号を供給する夫々第1及び第2のデータ線からなり、

30 上記画素は、上記画素を所定のサイクルで選択する走査信号が上記走査線を介して供給される第1及び第2の能動素子と、

上記第1及び第2の能動素子を介して夫々上記第1及び第2データ線から供給される夫々上記第1及び第2のデータ信号を保持する夫々第1及び第2の容量素子と、上記第1の容量素子によって保持された上記第1のデータ信号が供給される第3の能動素子と、

上記第3の能動素子を介して上記第1のデータ信号に応じた電流が供給され第1の点灯状態となる発光素子と、

40 1走査サイクルに、上記発光素子の点灯状態を変更する変更手段とを有し、

上記変更手段は、上記第2のデータ信号を上記第3の能動素子に供給し、上記発光素子の上記第1の点灯状態を、上記第2のデータ信号に応じた電流による第2の点灯状態に変更することを特徴とする画像表示装置。

【請求項8】 上記1走査サイクルの間に同一の走査線に接続された各画素の発光素子を少なくとも走査線単位で強制的に消灯する制御手段を有し、該制御信号は、上記発光素子を上記点灯状態から消灯状態にすることを特

50 徴とする請求項7記載の画像表示装置。

によって形成される。

【0007】

【発明の実施の形態】次に図面を参照して本発明の良好な実施例について説明する。本発明のアクティブ・マトリクス型液晶表示装置は、アレイ基板上の画素電極と隣接ゲート線とによって補助容量を形成する形式の液晶パネルを使用する。この形式の補助容量は、従来公知のように、画素電極の端部領域と隣接ゲート線とが位置的に重なるようにアレイ基板を構成することによって形成され、通常、「Cs on Gate型」の補助容量と呼ばれている。本発明の実施例では、補助容量が画素電極と前段のゲート線とによって形成されるものとして説明する。

【0008】図1は、Cs on Gate型の液晶パネルの一部分の電気的等価回路である。液晶パネルは、アレイ基板上に形成された複数のデータ線D(m-1)、D(m)、D(m+1)と、ゲート線G(n-1)、G(n)、G(n+1)、G(n+2)とを有する。実際にはもっと多数のデータ線およびゲート線が設けられることはいうまでもない。データ線とゲート線の交差位置には、行列に配列された液晶セル10がある。各液晶セルは薄膜トランジスタ(TFT)12を含む。各列のTFT12のドレイン電極は関連するデータ線Dに接続され、各行のTFT12のゲート電極は関連するゲート線Gに接続されている。データ線Dは画像データ信号を同時に受取り、ゲート線Gはライン順次に液晶セル・ライン(行)を駆動するための走査信号を受け取る。

【0009】TFT12のソースはノード14として示される画素電極に接続されている。各液晶セル10の画素電極は、前段のゲート線と共に補助容量Csを形成している。容量C1cは、各画素電極14と、対向基板(すなわち、カラー・フィルタ(CF)基板)上の共通電極(対向電極)18との間の液晶により与えられる液晶容量である。TFT12のゲートとソース間には寄生容量Cgsが存在する。

【0010】図2は、図1の液晶パネルを動作させるのに適した動作波形を例示している。図2のうち、「(A) データ書き込み」と示された左側の部分は、従来公知の書き込み動作を示しており、「(B) BL書き込み」と示された右側の部分は、残像を減少させるために本発明によって用いられるブランкиング書き込み動作を示している。まず、左側の従来公知の書き込み動作について説明する。

【0011】図2はノーマリー・ホワイト・モードでの動作を例示している。波形(a)は、データ線Dに供給される白(全白)書き込みデータ「Vdata(白)」を示し、波形(b)は、データ線Dに供給される黒(全黒)書き込みデータ「Vdata(黒)」を示し、波形(c)は共通電極の電圧Vcomを示し、波形(d)は前段のゲート線電圧Vg(n-1)を示し、波形(e)は現在走査されて

いるゲート線の電圧Vgを示している。波形(f)は、ゲート線G(n)に沿った液晶セルに白が書き込まれたときに、これらのセルの液晶の両端にかかる電圧を示し、波形(g)はゲート線G(n+1)に沿った液晶セルに白が書き込まれたときに、これらのセルの両端に現れる電圧を示している。波形(h)は、ゲート線G(n)に沿った液晶セルに黒が書き込まれたときに、これらのセルの液晶の両端にかかる電圧を示し、波形(i)はゲート線G(n+1)に沿った液晶セルに黒が書き込まれたときに、これらのセルの両端に現れる電圧を示している。

【0012】図2からわかるように、この例では交流駆動が用いられており、ライン(行)反転駆動、共通電極反転駆動、ゲート電極反転駆動、およびフレーム反転駆動が用いられている。すなわち、データ信号Vdataは、液晶の誘電率異方性により誘起される直流(DC)成分を低減するために、水平走査期間(1H)毎に反転されている。したがって、隣接するラインの液晶セルは互いに反対極性に駆動される。また、データ書き込みに必要な電圧をデータ線駆動回路と共通電極とで分担することによってデータ線駆動回路に要求される駆動能力および耐圧を減少させるために、共通電極の電圧Vcomもデータ信号と同期して駆動される。電圧Vcomも、水平走査周期毎に極性を反転して駆動される。液晶には、TFTがオンになったとき、Vdata-Vcomの電圧が印加される。さらに、ゲート線Gは補助容量Csを介して画素電極と結合されているから、ゲート線電圧Vgは画素電極14の電圧に影響を与える。したがって、書き込み時に液晶の両端にVdata-Vcomの電圧が正確に印加されるようとするためには、ゲート線電圧が画素電極の電圧に影響を与えないようにする必要がある。そのため、ゲート線の電圧は通常、共通電極電圧Vcomと同極性で且つ同振幅で水平走査周期毎に反転駆動される。書き込みが行われないラインのゲート線および共通電極の電圧はVg1とVg2との間で変化する。また、これらの駆動信号は、DC成分を低減させるため、フレーム毎に反転される。このような反転駆動方式は、例えば、特開平06-59245号公報に開示されるように公知であり、それ自体、本発明を構成するものではない。

【0013】なお、図2において、波形(a)～(e)に示された水平線は、それぞれの交流駆動波形のセンター電圧であり、波形(f)～(i)の水平線は0Vレベルを示している。

【0014】ゲート線電圧Vgのパルス20および22は、書き込み時にTFT12をオンにするゲート駆動パルスである。ゲート・パルスがTFT12に印加され、TFTがオンになったとき、画素電極14はVdataに充電される。ゲート・パルスがオフになったとき、画素電極14の電位は寄生容量Cgsを介してゲート線に突き抜け、画素電極電位が降下する。このような画素電極電位の降下分は「突き抜け電圧」と呼ばれる。この電位低下

を補償するため、書き込み時に前段のゲート線が同時に所定のレベルに駆動される。現在駆動されているゲート線が $V_{g(n)}$ であるとしたときは、ゲート・パルス22と同時に、前段のゲート線 $G(n-1)$ が補償電圧 V_{c1} で駆動される。補償電圧 V_{c1} は補助容量 C_s を介して画素電極14に結合され、突き抜け電圧を補償する。次にゲート線 $V_{g(n+1)}$ が駆動されるときは、ゲート線 $V_{g(n)}$ が前段のゲート線として補償電圧 V_{c2} で同時に駆動され、補助容量 C_s を介して次段の画素電極電位を補償する。隣接ラインは互いに反転駆動されるから、隣接ゲート線に印加される補償電圧 V_{c1} 、 V_{c2} は、互いに逆極性を有する。このような突き抜け電圧あるいは実効値の補償は、例えば、特開昭64-26822号公報および特開平09-179097号公報に示されるように公知であり、それ自体、本発明を構成するものではない。

【0015】次に、残像を減少させるための本発明による駆動方法について説明する。本発明は、従来「突き抜け電圧」の補償のために利用されていた隣接ゲート線の電圧制御を残像の防止のために効果的に利用できることを見出したものである。残像は、1フレーム期間に対して画像の表示時間が長いことによって生じるから、1フレーム期間における画像表示時間を短縮するように、ブランкиング画像を書き込み、表示を強制的に消去することによって残像効果を低減させることができる。ブランキング画像とは、同一階調からなる非有意画像であり、黒画像であるのが好ましい。本発明は、隣接ゲート線（この例では、前段のゲート線）の電圧制御によって、データ表示と並行してブランкиング書き込みを行う。

【0016】図3は、通常の画像データ書き込みタイミングと、本発明によるブランкиングのための黒レベル書き込みタイミングを示している。ここでは、ノンインターレースのライン順次走査が用いられるものとしている。Dataは画像データの書き込みを表し、BLはブランкиングのための黒レベル書き込みを表している。画像データDataは1度に1水平走査線（1H）ずつライン順次に書き込まれ、フレーム開始時点から1フレーム周期よりも短い所定の時間Tが経過したとき、1度に1水平走査線ずつライン順次に強制的に黒書き込みが行われる。画像データ書き込みとブランкиング書き込みは、時間間隔Tをもって液晶パネル上で同時に進行する。

【0017】図2に戻って説明すると、図2の右側部分は、図3のブランкиング書き込みBLで行われる動作を示したタイミング図である。フレーム開始時点から時間Tが経過したとき、ブランクにされるべき最初のゲート線が選択され、このゲート線に沿ったすべての液晶セルの画素電極電位を黒レベルにするように前段のゲート線の電圧が制御される。いま、選択されたゲート線が $G(n)$ であるとすると、ゲート線 $G(n)$ はゲート・パルス24で駆動され、同時に前段のゲート線 $G(n-1)$ がブランкиング電圧 V_{BL1} で駆動される。図3に関して述べたよ

うに、データ書き込みとブランкиング書き込みは液晶パネル上で同時に進行するから、ゲート線 $G(n)$ に沿った液晶セルもデータ線に画像データを受け取る。したがって、ゲート線 $G(n)$ に沿った液晶セルには、そのときデータ線上にある画像データが書き込まれるが、その際に、前段のゲート線のブランкиング電圧によってすべての画素電極電位が修正され、黒レベルに設定される。次の水平走査期間にゲート線 $G(n+1)$ が選択されたときは、ゲート線 $G(n)$ が前段のゲート線としてブランкиング電圧 V_{BL2} で駆動される。これにより、ゲート線 $G(n+1)$ に沿ったすべての液晶セルの画素電極が黒レベルに書き込まれる。ブランкиング書き込みは、その後、同様にライン順次に行われる。

【0018】ここで、前段のゲート線の駆動によるブランкиング書き込みについて具体的に説明する。ブランкиング書き込みは、データ書き込みと同時に、前段のゲート線にブランкиング電圧を印加することによって行われる。したがって、ブランкиング書き込みは、データ線の電圧に関係なく黒を書き込むことができなければならぬ。いま、選択されたゲート線に沿った液晶セルへのデータ書き込みと同時に、前段のゲート線にブランкиング電圧を印加した場合、書き込み時および書き込み後（保持状態）の画素電極電荷Qは、それぞれ、式（1）および（2）で表される。

$$(1) Q = C_{qs}(V - V_{gh}) + C_s(V - V_{cs}) + C_{1c}(V - V_{com})$$

$$(2) Q = C_{qs}(V' - V_{g1}) + C_s(V' - V_{g1}) + C_{1c}(V' - V_{com})$$

ここで、

30 V : 書き込み時に画素電極に現れる電圧 (V_{data} に相当する)

V' : 書き込み後に画素電極に保持される電圧

V_{gh} : 選択されたゲート線に印加されるゲート駆動パルスの高レベル

V_{cs} : 前段のゲート線に印加される電圧

V_{com} : 共通電極（対抗電極）の電圧

V_{g1} : ゲート駆動パルスの低レベル (V_{g1} と V_{g2} の中間レベルに相当)

C_{qs} : ゲートソース寄生容量

40 C_s : 補助容量

C_{1c} : 液晶容量

【0019】式（1）および（2）から、次が得られる。

$$(3) (C_{qs} + C_s + C_{1c})(V - V') = C_{qs}(V_{gh} - V_{g1}) + C_s(V_{cs} - V_{g1})$$

$$(4) (V - V') = [C_{qs}V_{gh} - (C_{qs} + C_s)V_{g1} + C_sV_{cs}] / (C_{qs} + C_s + C_{1c})$$

したがって、

$$(5) d(V - V') / dV_{cs} = C_s / (C_{qs} + C_s + C_{1c})$$

50 【0020】したがって、前段のゲート線の電圧 V_{cs} を

制御することにより、保持状態の画素電極電圧を制御することができる。式(5)からわかるように、補助容量 C_s が大きいほど、画素電圧の変化幅を大きくすることができますが、通常の $C_{s\ on\ Gate}$ 型液晶表示パネルで用いられている補助容量で十分である。

【0021】プランギング書き込みに必要な前段のゲート線の電圧の一例を求めてみる。液晶表示装置の容量値 C_{qs} 、 C_s 、 C_{1c} の一例を示せば、 $C_{qs} = 0.01 \text{ pF}$ 、 $C_s = 0.165 \text{ pF}$ 、 $C_{1c(max)} = 0.416 \text{ pF}$ 、 $C_{1c(min)} = 0.169 \text{ pF}$ である。なお、 $C_{1c(max)}$ は黒書き込みの場合であり、 $C_{1c(min)}$ は白書き込みの場合である。式(5)から、

$$(6) d(V-V')/dV_{cs} = 0.279 \quad [C_{1c(max)} \text{の場合}]$$

$$(7) d(V-V')/dV_{cs} = 0.479 \quad [C_{1c(min)} \text{の場合}]$$

【0022】白書き込み時に画素電極に現れる電圧（データ線電圧に相当する）を $V_{data(白)}$ 、白書き込み後に画素電極に保持される電圧を $V'(白)$ 、白書き込み時の前段のゲート線の電圧を $V_{cs(白)}$ 、プランギング（黒）書き込み後に画素電極に保持される電圧を $V'(黒)$ 、プランギング書き込み時の前段のゲート線の電圧を $V_{cs(黒)}$ とすると、式(4)から次の関係が得られる。

$$[0023] (8) [V_{data(白)} - V'(白)] = [C_{qs}V_{qh} - (C_{qs} + C_s)V_{q1} + C_sV_{cs(白)}] / (C_{qs} + C_s + C_{1c})$$

$$(9) [(V_{data(白)} - V'(黒))] = [C_{qs}V_{qh} - (C_{qs} + C_s)V_{q1} + C_sV_{cs(黒)}] / (C_{qs} + C_s + C_{1c})$$

【0024】したがって、

$$(10) V'(白) - V'(黒) = [-C_s / (C_{qs} + C_s + C_{1c})] \times [V_{cs(白)} - V_{cs(黒)}]$$

【0025】 $V'(白) - V'(黒)$ は、この例では 4.7 V である。 $[-C_s / (C_{qs} + C_s + C_{1c})]$ は、式(5)および(7)から、白書き込み時 (C_{1c} が最小の時) 0.479 である。したがって、

$$(11) [V_{cs(白)} - V_{cs(黒)}] = [V'(白) - V'(黒)] / [-C_s / (C_{qs} + C_s + C_{1c})] = 4.7 / (-0.479) = -9.8 \text{ (V)}$$

【0026】このことは、データ線に白レベルが存在するときプランギング書き込みをするためには、白書き込み時よりも少なくとも -9.8 (V) だけ前段のゲート線電圧 V_{cs} を変化させる必要があることを示している。実際には液晶は交流駆動され、隣接セル・ラインでは駆動電圧が逆極性になるから、 $V_{cs(黒)}$ はそのセンター電圧に関して $\pm 9.8 \text{ V}$ の範囲で変化する必要がある。

【0027】 V_{cs} は前段のセル・ラインの TFT をオンにしてはいけないから、 V_{cs} は TFT をオンにしない最大電圧以下にしなければならない。一例では、この最大電圧は -7.5 V である。この場合、 V_{cs} のセンター電圧は -17.3 V 、振幅は $\pm 9.8 \text{ V}$ となる。したがって、例えば、次のように電圧を設定することができる。

ゲート駆動バルスの高レベル $V_{qh} = 19 \text{ V}$ （従来と同じ）

プランギング電圧 V_{cs} の高レベル $V_{BL2} = -7.5 \text{ V}$

プランギング電圧 V_{cs} の低レベル $V_{BL1} = -27.1 \text{ V}$

V_{cs} のセンター電圧 $= -17.3 \text{ V}$

【0028】なお、ゲート電圧の低レベル V_{q1} は図2の V_{q1} レベルと V_{q2} レベルとの間のセンター・レベルに相当し、 V_{cs} のセンター電圧とほぼ等しい。実際には、 V_{q1} は、図2に関して上述したように、 V_{q1} レベルと V_{q2}

10 レベルとの間で交流駆動される。 V_{q1} の変化幅は $\pm 2.35 \text{ V}$ であり、これは白の画素電圧と黒の画素電圧との差である 4.7 V の $1/2$ に相当する。また、 V_{cs} のセンター電圧は、上述の突き抜け電圧補償により、名目値からわずかに変動し、そのため、一般に、ゲート電圧のセンター・レベル V_{q1} とは完全には一致しない。

【0029】 -27.1 V という電圧レベルは、従来「突き抜け電圧」の補償のために用いられていたゲート線電圧の最低レベル -11.5 V よりも 2倍程度大きいが、通常の CMOS 回路で十分実施可能である。

20 【0030】時間 T の減少は輝度を減少させるから、時間 T は、輝度と残像を最適化するように選択する必要がある。実験によると、画像表示時間すなわち点灯時間は 1 フレーム周期の $20\% \sim 75\%$ を占めるのが好ましく、特に好ましいのは、 $30\% \sim 60\%$ である。したがって時間 T は、1 フレーム周期の $25\% \sim 80\%$ であるのが好ましく、特に $40\% \sim 70\%$ であるのが好ましい。時間 T は、カウンタ 40 のプリセット値を選択することにより、簡単に設定することができる。

【0031】本発明にしたがって 1 フレーム周期内で表示をプランギングするためには、液晶は高速応答特性を有するものであるのが好ましい。1 フレーム周期は通常 17 ms であるから、例えば、その 50% の時間は 8.5 ms である。したがって、本発明が有効であるためには、応答時間が長くても 8 ms 以下、好ましくは、 3 ms 以下であるのが好ましい。このような高速応答液晶としては、ペンド配向セル（πセル）が知られており、特に好ましいが、強誘電液晶のような他の高速応答セルも使用可能である。

40 【0032】プランギングのための黒レベルはデータの黒レベルと一致する必要はない。プランギングの目的を達成するためには、プランギング信号は一定電位を有し、非画像状態を与えることができればよい。また、本発明の実施例では、補助容量が画素電極と前段のゲート線とによって形成されるものとして説明したが、本発明は、補助容量が画素電極と後段のゲート線とによって形成する形式の液晶パネルに適用することも可能である。また、本発明はノーマリー・ブラック・モードの液晶表示装置において残像を低減させるために適用することもできる。

【0033】

【発明の効果】特別のパネル構造を必要とすることなく、走査ライン単位でランキングを制御して残像の問題を好適に解決することができる。また、画像表示に影響を与えることなく、ランキング時間や任意に設定し、最適化することができる。

【図面の簡単な説明】

【図1】本発明を適用できる液晶表示パネルの電気的等価回路図である。

【図2】通常のデータ書き込み動作および本発明に従うランキング書き込み動作を示す波形図である。

【図3】通常のデータ書き込み動作と本発明に従うランキン

ギング書き込み動作のタイミングを示す図である。*

* 【符号の説明】

10 液晶セル

12 TFT

14 画素電極

C_{qs} ゲート-ソース寄生容量

C_s 補助容量

C_{lc} 液晶容量

18 共通電極

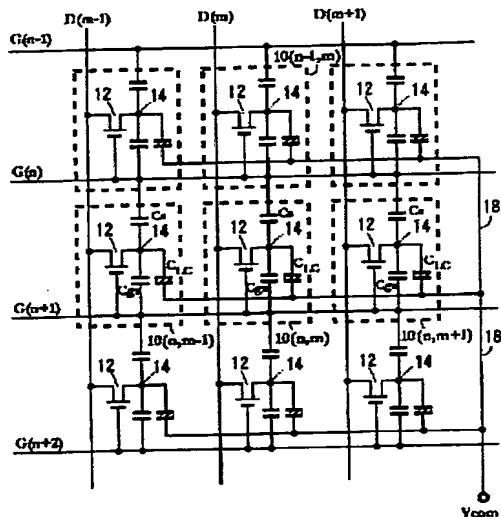
G ゲート線

D データ線

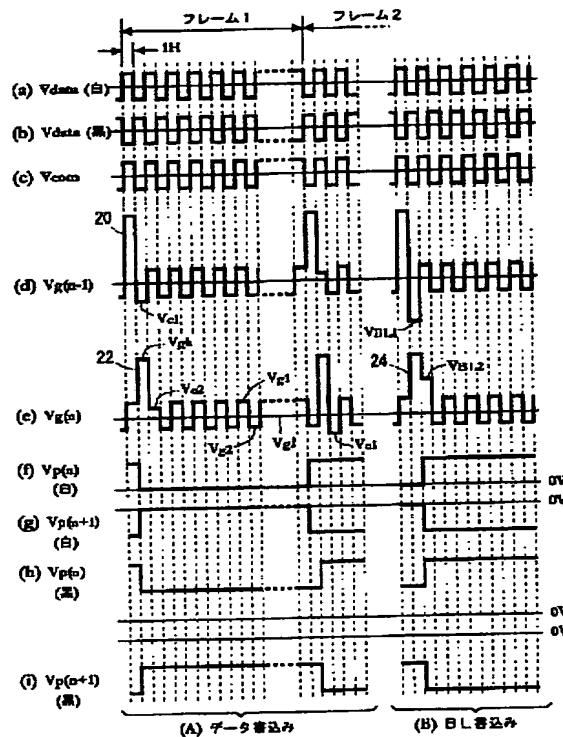
V_{BL1}, V_{BL2} ランキング書き込み電圧

20, 22, 24 ゲート駆動パルス

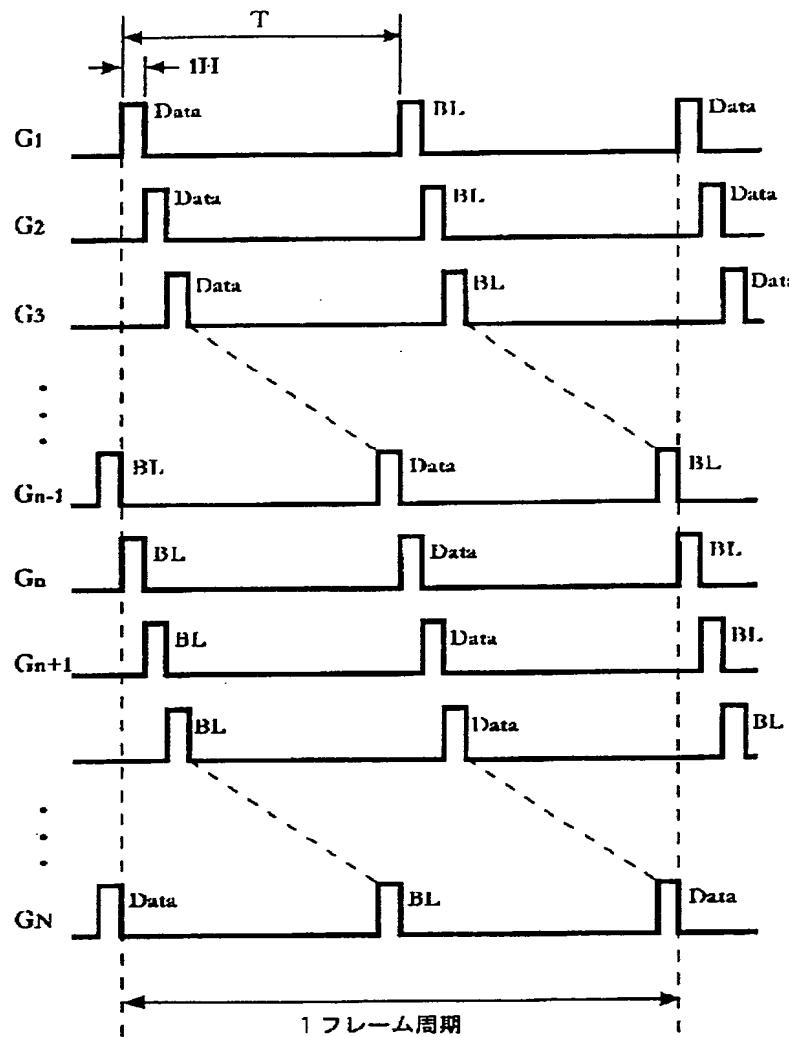
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 酒井 英明

滋賀県野洲郡野洲町大字市三宅800番地

日本アイ・ビー・エム株式会社 野洲事業
所内

F ターム(参考) 2H093 NA16 NA32 NA33 NA43 NC34

NC35 ND12 NF19 NH18

5C006 AA21 AC11 AC27 AC28 AF42

AF44 AF46 AF51 AF64 AF73

BA12 BB16 BC03 BC12 BF22

FA34 FA37